

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08172168 A

(43) Date of publication of application: 02 . 07 . 96

(51) Int. Cl.

H01L 27/105

H01L 21/8247

H01L 29/788

H01L 29/792

(21) Application number: 06334848

(71) Applicant: SONY CORP

(22) Date of filing: 20 . 12 . 94

(72) Inventor: NAIKI TADAYA

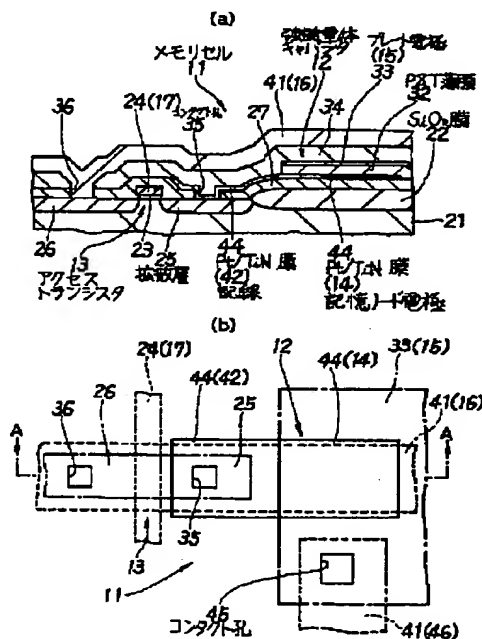
(54) FERROELECTRIC NONVOLATILE STORAGE DEVICE

(57) Abstract:

PURPOSE: To improve reliability and productivity of a wiring, by increasing the width of a wiring constituted of a conducting layer except a lower part electrode of a ferroelectric capacitor.

CONSTITUTION: A Pt/TiN film 44 forming a storage node electrode 14 of a ferroelectric capacitor 12 is stretched from the ferroelectric capacitor 12 and made a wiring 42 connecting the storage node electrode 14 with a diffusion layer 25. Thereby, the margin at the time of performing layout of a bit line 16 by using an Al film 41 is large, as compared with, e.g. the structure wherein the Al film 41 is used as the wiring 42 in a memory cell 11, and the width of the bit line 16 can be increased.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172168

(43) 公開日 平成8年(1996)7月2日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/105

21/8247

29/788

H 0 1 L 27/ 10

4 4 1

29/ 78

3 7 1

審査請求 未請求 請求項の数4 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-334848

(22) 出願日 平成6年(1994)12月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内貴 唯八

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

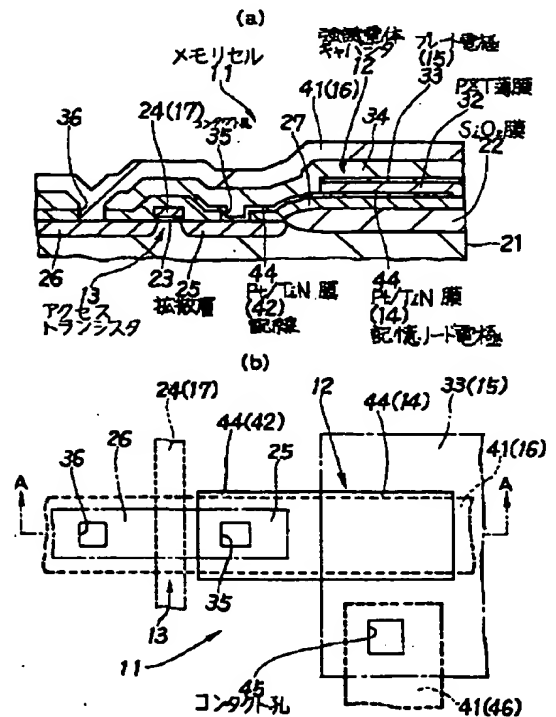
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 強誘電体不揮発性記憶装置

(57) 【要約】

【目的】 強誘電体キャパシタの下部電極以外の導電層から成る配線の幅を広くして、この配線の信頼性及び加工性を高める。

【構成】 強誘電体キャパシタ12の記憶ノード電極14を形成しているPt/TiN膜44が、この強誘電体キャパシタ12から延在して、記憶ノード電極14と拡散層25とを接続する配線42になっている。このため、例えばAl膜41がメモリセル11内の配線42になっている構造に比べて、Al膜41でビット線16をレイアウトする際の余裕が大きく、このビット線16の幅を広くすることができる。



【特許請求の範囲】

【請求項1】 強誘電体から成るキャパシタ絶縁膜を有する強誘電体キャパシタを用いてメモリセルが構成されている強誘電体不揮発性記憶装置において、前記強誘電体キャパシタの下部電極を形成している導電層がこの強誘電体キャパシタから延在して前記メモリセル内の配線になっていることを特徴とする強誘電体不揮発性記憶装置。

【請求項2】 前記メモリセルを構成しているアクセストランジスタの拡散層と前記下部電極とを前記配線が接続していることを特徴とする請求項1記載の強誘電体不揮発性記憶装置。

【請求項3】 前記メモリセルを構成しているアクセストランジスタの拡散層と前記下部電極とを接続しているコンタクト孔が前記強誘電体キャパシタ以外の領域に設けられていることを特徴とする請求項1または2記載の強誘電体不揮発性記憶装置。

【請求項4】 前記強誘電体キャパシタの上部電極に対するコンタクト孔がこの強誘電体キャパシタ以外の領域に設けられていることを特徴とする請求項1～3の何れか1項に記載の強誘電体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願の発明は、強誘電体キャパシタを用いてメモリセルが構成されている強誘電体不揮発性記憶装置に関するものである。

【0002】

【従来の技術】 図2は、強誘電体キャパシタを用いている強誘電体不揮発性記憶装置におけるメモリセルの等価回路を示しており、このメモリセル11は、強誘電体キャパシタ12とアクセストランジスタ13とで構成されている。強誘電体キャパシタ12のうちでアクセストランジスタ13側の電極が記憶ノード電極14になっており、アクセストランジスタ13とは反対側の電極がプレート電極15になっている。

【0003】 また、アクセストランジスタ13のうちで強誘電体キャパシタ12とは反対側のソース／ドレインにビット線16が接続されており、ワード線17がアクセストランジスタ13のゲート電極になっている。

【0004】 図3は、図2に示したメモリセル11の第1従来例を示している（例えば、Microelectronic Engineering 19(1992) 245-252）。この第1従来例では、Si基板21の素子分離領域にSiO₂膜22が形成されており、SiO₂膜22に囲まれている素子活性領域の表面にゲート酸化膜としてのSiO₂膜23が形成されている。

【0005】 SiO₂膜23、22上には多結晶Si膜24でワード線17が形成されており、アクセストランジスタ13のソース／ドレインである拡散層25、26が多結晶Si膜24の両側の素子活性領域に形成されて

いる。多結晶Si膜24等は層間絶縁膜27に覆われており、層間絶縁膜27上にはPt膜31でプレート電極15が形成されている。

【0006】 Pt膜31上には、強誘電体薄膜であるPZT薄膜32とPt膜33とが記憶ノード電極14のパターンに加工されて強誘電体キャパシタ12が形成されている。強誘電体キャパシタ12等は層間絶縁膜34に覆われており、拡散層25、26及びPt膜33に達するコンタクト孔35～37が層間絶縁膜34、27に開孔されている。

【0007】 層間絶縁膜34上のAl膜41で、コンタクト孔36を介して拡散層26に接続するビット線16と、コンタクト孔35、37を介して拡散層25とPt膜33とを接続する配線42とが形成されている。Al膜41等は表面保護膜（図示せず）等に覆われている。

【0008】 図4は、図2に示したメモリセル11の第2従来例を示している（例えば、Microelectronic Engineering 19(1992) 245-252）。この第2従来例では、多結晶Si膜24等は平坦な層間絶縁膜27に覆われており、拡散層25に達するコンタクト孔35が層間絶縁膜27に開孔されている。

【0009】 コンタクト孔35はプラグ43で埋められており、プラグ43に接続しているPt膜31で記憶ノード電極14が形成されている。Pt膜31及び層間絶縁膜27上には、強誘電体薄膜であるPZT薄膜32とPt膜33とがプレート電極15のパターンに加工されて強誘電体キャパシタ12が形成されている。

【0010】 強誘電体キャパシタ12等は層間絶縁膜34に覆われており、拡散層26に達するコンタクト孔36が層間絶縁膜34、27に開孔されている。そして、層間絶縁膜34上のAl膜41で、コンタクト孔36を介して拡散層26に接続するビット線16が形成されている。Al膜41等は表面保護膜（図示せず）等に覆われている。

【0011】

【発明が解決しようとする課題】 ところが、図3に示した第1従来例では、Al膜41でビット線16と配線42との両方を形成しているため、このAl膜41をレイアウトする際の余裕が小さく、ビット線16等の幅を狭くする必要がある。このため、ビット線16等において、エレクトロマイグレーションやストレスマイグレーション等に対する信頼性や加工性が必ずしも高くなかった。

【0012】 また、この第1従来例では、拡散層25とPt膜33とを配線42で接続するためのコンタクト孔37をエッチングする必要があり、エッチング雰囲気中の水素によってPt膜33に応力が生じ、この応力がPZT薄膜32のドメインを固定して分極を生じさせない様に作用する（例えば、1994 Symposium on VLSI Technology Digest of Technical Papers 55-56）。

【0013】つまり、コンタクト孔37を開孔するためのエッチングによる損傷が強誘電体キャパシタ12に生じており、この強誘電体キャパシタ12の分極量が減少して、記憶保持特性が劣化している。

【0014】一方、図4に示した第2従来例では、強誘電体キャパシタ12が平坦であるので、この強誘電体キャパシタ12におけるリーク電流が少なく分極特性も安定していて、記憶保持特性が優れている。しかし、強誘電体キャパシタ12を平坦にするために、平坦な層間絶縁膜27を形成したりコンタクト孔35をプラグ43で埋めたりする必要があるため、製造工程が多くて、製造コストが高い。

【0015】

【課題を解決するための手段】請求項1の強誘電体不揮発性記憶装置は、強誘電体から成るキャパシタ絶縁膜32を有する強誘電体キャパシタ12を用いてメモリセル11が構成されている強誘電体不揮発性記憶装置において、前記強誘電体キャパシタ12の下部電極14を形成している導電層44がこの強誘電体キャパシタ12から延在して前記メモリセル11内の配線42になっていることを特徴としている。

【0016】請求項2の強誘電体不揮発性記憶装置は、請求項1の強誘電体不揮発性記憶装置において、前記メモリセル11を構成しているアクセストランジスタ13の拡散層25と前記下部電極14とを前記配線42が接続していることを特徴としている。

【0017】請求項3の強誘電体不揮発性記憶装置は、請求項1または2の強誘電体不揮発性記憶装置において、前記メモリセル11を構成しているアクセストランジスタ13の拡散層25と前記下部電極14とを接続しているコンタクト孔35が前記強誘電体キャパシタ12以外の領域に設けられていることを特徴としている。

【0018】請求項4の強誘電体不揮発性記憶装置は、請求項1～3の何れかの強誘電体不揮発性記憶装置において、前記強誘電体キャパシタ12の上部電極15に対するコンタクト孔45がこの強誘電体キャパシタ12以外の領域に設けられていることを特徴としている。

【0019】

【作用】請求項1の強誘電体不揮発性記憶装置では、強誘電体キャパシタ12の下部電極14を形成している導電層44が強誘電体キャパシタ12から延在してメモリセル11内の配線42にもなっているため、下部電極14以外の導電層41がメモリセル11内の配線42になっている構造に比べて、下部電極14以外の導電層41をレイアウトする際の余裕が大きく、下部電極14以外の導電層41から成る配線16の幅を広くすることができる。

【0020】請求項2の強誘電体不揮発性記憶装置では、強誘電体キャパシタ12の下部電極14を形成している導電層44から成る配線42がこの下部電極14と

アクセストランジスタ13の拡散層25とを接続しているので、下部電極14以外の導電層41から成る配線42で強誘電体キャパシタ12の電極14とアクセストランジスタ13の拡散層25とを接続するためのコンタクト孔37を強誘電体キャパシタ12の電極14に対して設ける必要がなく、コンタクト孔37を開孔するためのエッチングによる損傷が強誘電体キャパシタ12に生じない。

【0021】請求項3の強誘電体不揮発性記憶装置では、アクセストランジスタ13の拡散層25と強誘電体キャパシタ12の下部電極14とを接続しているコンタクト孔35が強誘電体キャパシタ12以外の領域に設けられているので、強誘電体キャパシタ12を平坦にするためにコンタクト孔35をプラグ43で埋める必要がなく、拡散層25の半導体が下部電極14を介して強誘電体キャパシタ12に影響を与えることを防止することもできる。

【0022】請求項4の強誘電体不揮発性記憶装置では、強誘電体キャパシタ12の上部電極15に対するコンタクト孔45がこの強誘電体キャパシタ12以外の領域に設けられているので、コンタクト孔45を形成するためのエッチングによる損傷が強誘電体キャパシタ12に生じない。

【0023】

【実施例】以下、本願の発明の一実施例を、図1、2を参照しながら説明する。なお、図1に示す一実施例のうちで、図3、4に示した第1及び第2従来例と対応する構成部分には、図3、4と同一の符号を付してある。

【0024】本実施例におけるメモリセル11も、図2に示した等価回路を有している。本実施例を製造するためには、まず、Si基板21の素子分離領域にSiO₂膜22を形成し、SiO₂膜22に囲まれている素子活性領域の表面にゲート酸化膜としてのSiO₂膜23を形成する。

【0025】その後、SiO₂膜23、22上に多結晶Si膜24でワード線17を形成し、アクセストランジスタ13のソース/ドレインである拡散層25、26を多結晶Si膜24の両側の素子活性領域に形成す。そして、多結晶Si膜24等を層間絶縁膜27で覆い、拡散層25に達するコンタクト孔35を層間絶縁膜27等に開孔する。

【0026】次に、膜厚が100nmのTiN膜上に膜厚が200nmのPt膜を積層させたPt/TiN膜44を、SiO₂膜22上からコンタクト孔35上にかけて広がるパターンに加工する。そして、膜厚が300nmのPZT薄膜32上に膜厚が200nmのPt膜33を積層させ、これらをプレート電極15のパターンに加工する。なお、PZT薄膜32以外の強誘電体薄膜を用いてもよい。

【0027】従って、Pt/TiN膜44とPZT薄膜

32及びPt膜33との重畳部に強誘電体キャパシタ12が形成され、Pt/TiN膜44のうち、強誘電体キャパシタ12の部分が記憶ノード電極14になり、強誘電体キャパシタ12以外の部分が記憶ノード電極14と拡散層25とを接続する配線42になる。なお、図1からも明らかな様に、強誘電体キャパシタ12はコンタクト孔35上には形成しない。

【0028】その後、強誘電体キャパシタ12等を層間絶縁膜34で覆い、拡散層26に達するコンタクト孔36と強誘電体キャパシタ12以外の領域でPt膜33に達するコンタクト孔45とを層間絶縁膜34、27に開孔する。そして、層間絶縁膜34上のAl膜41で、コンタクト孔36を介して拡散層26に接続するビット線16とコンタクト孔45を介してPt膜33に接続する配線46とを形成する。そして更に、Al膜41等を表面保護膜(図示せず)等で覆う。

【0029】なお、以上の実施例では記憶ノード電極14と拡散層25とを接続する配線42をPt/TiN膜44で形成しているが、拡散層25以外の領域と記憶ノード電極14とを接続する配線をPt/TiN膜44で形成してもよい。

【0030】

【発明の効果】請求項1の強誘電体不揮発性記憶装置では、強誘電体キャパシタの下部電極以外の導電層がメモリセル内の配線になっている構造に比べて、下部電極以外の導電層をレイアウトする際の余裕が大きく、下部電極以外の導電層から成る配線の幅を広くすることができるので、この配線の信頼性及び加工性を高めることができる。

【0031】請求項2、4の強誘電体不揮発性記憶装置では、コンタクト孔を形成するためのエッチングによる損傷が強誘電体キャパシタに生じないので、強誘電体キャパシタの分極量の減少がなくて、記憶保持特性が優れ

ている。

【0032】請求項3の強誘電体不揮発性記憶装置では、強誘電体キャパシタを平坦にするためにコンタクト孔をプラグで埋める必要がなく、拡散層の半導体が下部電極を介して強誘電体キャパシタに影響を与えることを防止することもできるので、製造コストが低く且つ信頼性が高い。

【図面の簡単な説明】

【図1】本願の発明の一実施例を示しており、(a)は(b)のA-A線に沿う位置における側断面図、(b)は平面図である。

【図2】本願の発明を適用し得る強誘電体不揮発性記憶装置におけるメモリセルの等価回路図である。

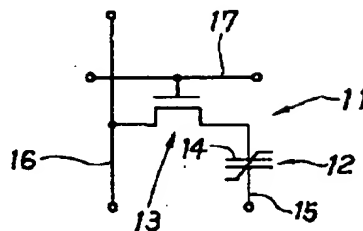
【図3】本願の発明の第1従来例を示しており、(a)は(b)のA-A線に沿う位置における側断面図、(b)は平面図である。

【図4】本願の発明の第2従来例を示しており、(a)は(b)のA-A線に沿う位置における側断面図、(b)は平面図である。

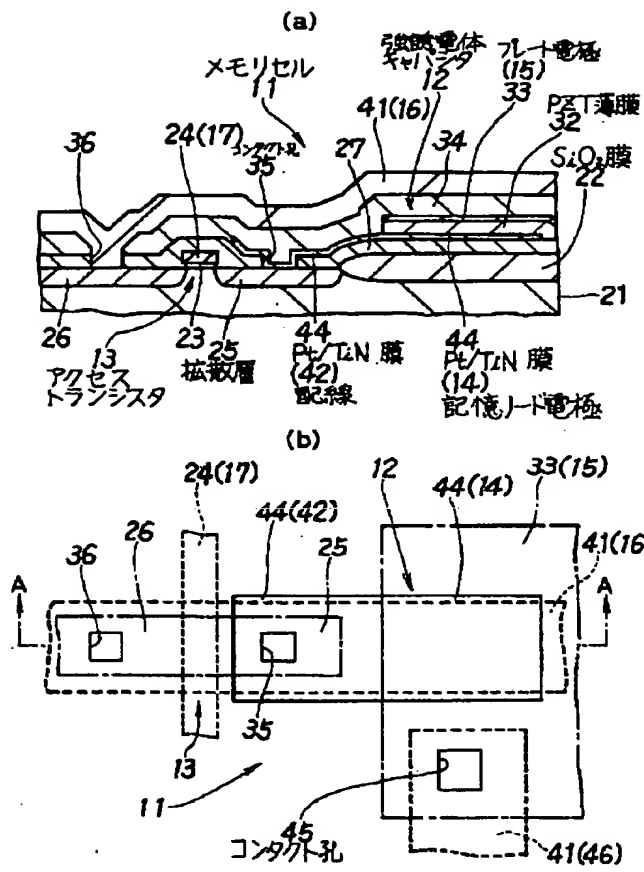
【符号の説明】

- 11 メモリセル
- 12 強誘電体キャパシタ
- 13 アクセストランジスタ
- 14 記憶ノード電極
- 15 プレート電極
- 22 SiO₂膜
- 25 拡散層
- 32 PZT薄膜
- 35 コンタクト孔
- 42 配線
- 44 Pt/TiN膜
- 45 コンタクト孔

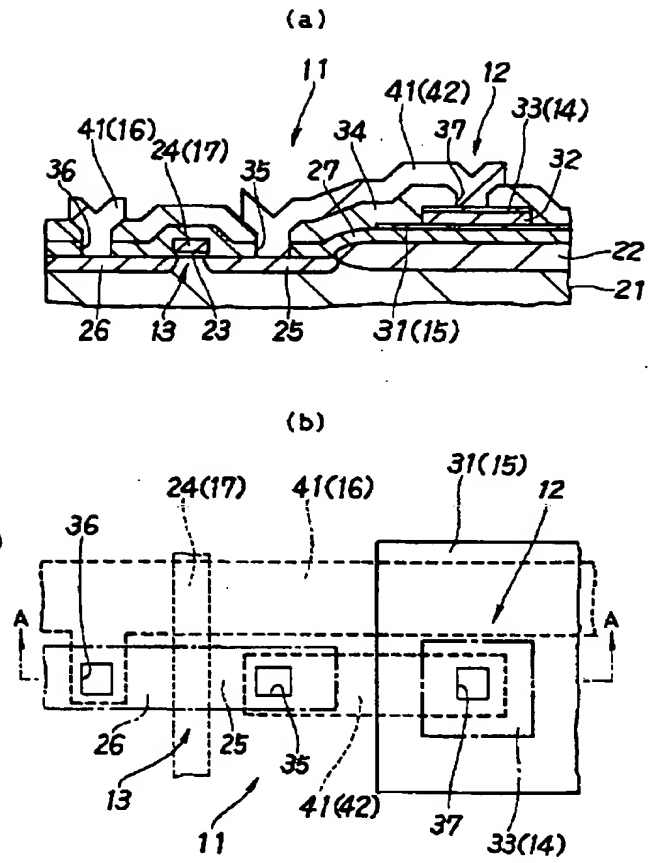
【図2】



【図1】



【図3】



技術表示箇所